

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0053116
Application Number

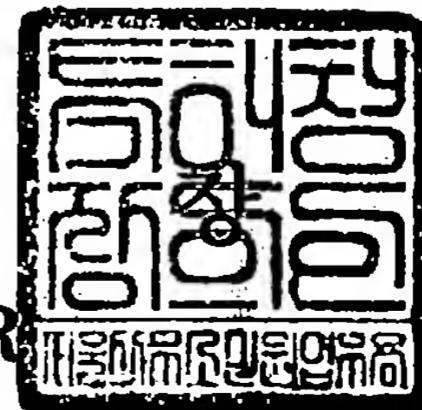
출원년월일 : 2002년 09월 04일
Date of Application SEP 04, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003년 04월 04일



특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.09.04
【발명의 명칭】	강유전체 메모리 소자의 제조 방법
【발명의 영문명칭】	Method of fabricating ferroelectric memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김기남
【성명의 영문표기】	KIM, KI NAM
【주민등록번호】	580414-1273118
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1168번지 진산마을 삼성5 차 아파트 5 17동 604호
【국적】	KR
【발명자】	
【성명의 국문표기】	송윤종
【성명의 영문표기】	SONG, YOON JONG
【주민등록번호】	711012-1182718
【우편번호】	137-131
【주소】	서울특별시 서초구 양재1동 양재우성아파트 108동 1502호
【국적】	KR

【발명자】

【성명의 국문표기】 주흥진
 【성명의 영문표기】 JOO,HEUNG JIN
 【주민등록번호】 720531-1820112
 【우편번호】 449-900
 【주소】 경기도 용인시 기흥읍 동성아파트 101동 1203호
 【국적】 KR
 【심사청구】 청구
 【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
 에 의한 출원심사 를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】	593,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

강유전체 메모리 소자의 제조 방법을 제공한다. 이 방법은 강유전체 커패시터 및 하드마스크 패턴이 차례로 적층된 반도체기판의 전면을 금속간 절연막으로 덮은 후, 금 속간 절연막을 평탄화 식각하여 하드마스크 패턴을 노출시키는 단계를 포함한다. 이후, 노출된 하드마스크 패턴을 선택적으로 제거하여 강유전체 커패시터의 상부면을 노출시킨다. 이때, 하드마스크 패턴은 금속간 절연막에 대해 식각 선택성을 갖는 물질, 바람직하게는 실리콘 질화막 또는 차례로 적층된 실리콘 질화막 및 티타늄 질화막으로 형성한다. 또한, 하드마스크 패턴은 평탄화 식각 공정에서 발생하는 식각 두께의 최대 편차보다 두 배로 깊게 형성한다.

【대표도】

도 9

【명세서】

【발명의 명칭】

강유전체 메모리 소자의 제조 방법{Method of fabricating ferroelectric memory device}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 강유전체 메모리 소자를 제조하는 방법을 나타내는 공정 단면도들이다.

도 4는 일반적인 강유전체 메모리 소자를 나타내는 평면도이다.

도 5 내지 도 10은 본 발명의 바람직한 실시예에 따른 강유전체 메모리 소자의 제조 방법을 나타내는 공정단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<4> 본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 특히 강유전체 메모리 소자의 제조 방법에 관한 것이다.

<5> 반도체소자들 중에 강유전체 메모리소자는 전원이 공급되지 않을지라도 전 상태의 데이터(previous data)를 간직하는 비휘발성 특성을 갖는다. 이에 더하여, 강유전체 메모리소자는 디램 및 에스램과 같이 낮은 전원 전압에서 동작하는 특성을 갖는다. 따라서, 강유전체 메모리소자는 스마트 카드(smart card) 등에 널리 사용될 수 있는 유력한 후보로 각광을 받고 있다.

<6> 도 1 내지 도 3은 종래의 강유전체 메모리 소자를 제조하는 방법을 설명하기 위한 단면도들이다.

<7> 도 1을 참조하면, 반도체기판(11)의 소정영역에 소자분리막(13)을 형성하여 활성영역을 한정한다. 상기 활성영역 및 소자분리막(13)을 가로지르는 복수개의 절연된 게이트전극들(15), 즉 워드라인들을 형성한다. 이어서, 상기 게이트 전극들(15) 사이의 활성영역에 불순물 이온을 주입하여 소오스/드레인 영역들(17s, 17d)을 형성한다. 상기 소오스/드레인 영역들(17s, 17d)이 형성된 결과물의 전면에 제 1 하부 층간절연막(19)을 형성한다. 상기 제1 하부 층간절연막(19)을 패터닝하여 상기 소오스 영역들(17s)을 노출시키는 스토리지 노드 콘택홀들을 형성한다. 다음에, 상기 스토리지 노드 콘택홀들 내에 콘택 플러그들(21)을 형성한다.

<8> 도 2를 참조하면, 상기 콘택 플러그들(21)이 형성된 반도체기판의 소정영역 상에 강유전체 커패시터들(32)을 형성한다. 상기 각 강유전체 커패시터(32)는 차례로 적층된 하부 전극(27), 강유전체막 패턴(29) 및 상부 전극(31)으로 구성된다. 상기 하부 전극들(27)의 각각은 상기 콘택 플러그(21)를 덮는다. 상기 강유전체 커패시터들(32)을 갖는 반도체기판의 전면에 금속간 절연막(33)을 형성한다. 상기 금속간 절연막(33)은 통상적으로 실리콘 산화막으로 형성한다.

<9> 도 3을 참조하면, 상기 금속간 절연막(33)을 평탄화 식각하여 상기 상부 전극(31)의 상부면을 노출시키는 금속간 절연막 패턴(33')을 형성한다. 이때, 상기 금속간 절연막 패턴(33') 형성을 위한 상기 평탄화 식각 공정은 에치백(etchback) 기술 또는 화학기계적 연마(chemical mechanical polishing, CMP) 기술을 사용하여 실시한다.

<10> 그런데, 알려진 것처럼, 증착 및 식각 공정에 따른 증착 두께 및 식각 두께는 웨이퍼에서의 위치에 따라 달라질 수 있다. 이에 따라, 도시한 것처럼, 상기 금속간 절연막(33)은 상기 상부 전극(31)이 노출되지 않을 정도로 덜 식각될 수 있다(38). 이 경우, 상기 강유전체 커패시터(32)는 전기적으로 단선되므로 동작하지 않는다. 이러한 단선의 문제를 예방하기 위해서, 상기 금속간 절연막(33)에 대한 평탄화 식각 공정은 과도식각(over-etch)의 방법으로 실시된다. 하지만, 상술한 증착 및 식각 두께에서의 편차(deviation)때문에, 상기 과도 식각 공정에 따른 상기 금속간 절연막 패턴(33')은 상기 강유전체막 패턴(29)을 노출(39)시킬 수도 있다. 상기 강유전체막 패턴(29)이 노출될 경우, 상기 강유전체 커패시터(32)의 동작 특성은 매우 악화된다.

<11> 이러한 문제를 해결하기 위해서는, 증착 및 식각 공정에서의 공정 편차를 최소화하는 것이 요구된다. 하지만, 기술의 정밀도라는 점에서 볼 때, 요구되는 기술 수준은 언제나 현재의 기술 수준 이상이다. 따라서, 공정 편차의 최소화는 이상적인 해결 방법이지만, 현실적인 대안으로 평가될 수 없다. 상기한 문제를 해결하기 위한 현실적인 대안으로는, 웨이퍼의 위치에 따른 두께의 최대 차이보다 두꺼운 두께로 상기 상부 전극(31)을 형성하는 방법이 있다. 이 방법에 따르면, 상술한 공정 편차에 따른 문제는 해결되지만, 상기 강유전체 커패시터(32)의 두께가 두꺼워지는 또다른 문제를 유발한다. 상기 강유전체 커패시터(32)의 두께가 두꺼워질수록, 상기 강유전체 커패시터의 측벽을 수직하게 패터닝하기 어려워진다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명이 이루고자 하는 기술적 과제는 상부 전극의 두께를 감소시킬 수 있는 강유전체 커패시터의 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여, 본 발명은 선택적으로 제거할 수 있는 하드마스크 패턴을 강유전체 커패시터 형성을 위한 식각 마스크로 사용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 하부 층간절연막을 형성하고, 상기 하부 층간절연막 상에 차례로 적층된 강유전체 커패시터 및 하드마스크 패턴을 형성하고, 상기 하드마스크 패턴이 형성된 결과물의 전면을 덮는 금속간 절연막을 형성한 후, 이를 평탄화 식각하여 상기 하드마스크 패턴을 노출시키는 단계를 포함한다. 상기 노출된 하드마스크 패턴을 선택적으로 제거함으로써 상기 강유전체 커패시터의 상부면을 노출시킨 후, 상기 강유전체 커패시터의 상부면에 접촉하는 플레이트 라인을 형성한다.

<14> 이에 따라, 상기 강유전체 커패시터의 상부면을 노출시키는 과정에서 발생하는 식각 두께의 편차에 따른 문제를, 선택적으로 제거할 수 있는 상기 하드마스크 패턴으로 예방할 수 있다.

<15> 이를 위해, 상기 하드마스크 패턴은 상기 금속간 절연막에 대해 식각 선택성을 갖는 물질로 형성한다. 바람직하게는, 상기 하드마스크 패턴은 실리콘 질화막 또는 차례로 적층된 실리콘 질화막 및 티타늄 질화막으로 형성한다.

<16> 또한, 상기 강유전체 커패시터 및 상기 하드마스크 패턴을 형성하는 단계는 상기 하부 층간절연막 상에 하부 전극막, 강유전체막, 상부 전극막 및 하드마스크막을 차례로 형성한 후, 상기 하드마스크막을 패터닝하여 하드마스크 패턴을 형성하는 단계를 포함한다. 이후, 상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 상부 전극막, 강유전체막 및 하부 전극막을 차례로 패터닝함으로써, 차례로 적층된 하부 전극, 강유전체막 패

턴 및 상부 전극을 형성한다. 이때, 상기 하부 전극막 및 상기 상부 전극막은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(0s) 및 이들의 산화물들 중에서 선택된 적어도 한가지 물질로 형성하는 것이 바람직하다. 상기 하부 전극막 및 상기 상부 전극막은 SrRuO_3 , LaNiO_3 , LSCO 및 YBCO 중의 한가지일 수도 있다. 또한, 상기 강유전체막은 PZT, SBT 및 BLT 중의 적어도 한가지로 형성하는 것이 바람직하다.

<17> 상기 금속간 절연막의 평탄화 식각 단계는 화학기계적 연마 기술 및 에치백 기술 중의 한가지를 사용하여 실시하는 것이 바람직하다. 또한, 상기 하드마스크 패턴을 선택적으로 제거하는 단계는 상기 금속간 절연막 및 상기 강유전체 커패시터에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 바람직하게는, 상기 하드마스크 패턴을 선택적으로 제거하는 단계는 인산을 포함하는 식각액을 사용하여 실시한다.

<18> 상술한 식각 두께의 편차에 따른 문제를 예방하기 위해서는, 상기 하드마스크 패턴의 두께는 상기 평탄화 식각 공정에서 발생하는 식각 두께의 최대 편차보다 큰 것이 바람직하다. 이를 위해, 상기 하드마스크 패턴은 50 내지 200nm의 두께로 형성하는 것이 바람직하다.

<19> 상기 금속간 절연막을 형성하기 전에, 적어도 상기 강유전체 커패시터의 측벽을 덮는 수소방지막을 형성하는 단계를 더 포함하는 것이 바람직하다. 이때, 상기 수소방지막은 티타늄 산화막(TiO_2), 알루미늄 산화막(Al_2O_3), 지르코늄 산화막(ZrO_2) 및 세륨 산화막(CeO_2) 중에서 선택된 적어도 한가지 물질이다. 상기 금속간 절연막은 실리콘 산화막으로 형성하는 것이 바람직하다.

<20> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구

체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그 것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<21> 도 4는 일반적인 강유전체 메모리 소자를 나타내는 평면도이다.

<22> 도 4를 참조하면, 반도체기판의 소정영역에 복수개의 활성영역들(53a)을 한정하는 소자분리막이 배치된다. 상기 활성영역들(53a) 및 상기 소자분리막을 가로지르는, 복수 개의 절연된(insulated) 게이트 전극들(57)이 배치된다. 상기 게이트 전극들(57)은 워드 라인을 구성하며, 행 방향(y축)과 평행하다. 상기 활성영역들(53a)의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차한다. 이에 따라, 상기 각 활성영역(53a)은 3개의 부분으로 나뉘어진다. 상기 한 쌍의 게이트 전극들(57) 사이의 활성영역(53a)에는 공통 드레인 영역이 형성되고, 상기 공통 드레인 영역의 양 옆의 활성영역들(53a)에는 소오스 영역들이 형성된다. 따라서, 상기 게이트 전극(57)들 및 상기 활성영역들(53a)이 교차하는 지점들(points)에 셀 트랜지스터들이 형성된다. 결과적으로, 셀 트랜지스터들은 열 방향(x축) 및 행 방향(y축)을 따라 2차원적으로 배열된다.

<23> 상기 워드라인들(57)을 가로지르되, 상기 공통 드레인 영역과 전기적으로 접속하는 복수개의 비트라인들(71)이 배치된다. 상기 공통 드레인 영역 및 상기 비트라인들(71)이 교차하는 영역에는 이들을 연결하기 위한 경로로서, 비트라인 콘택홀(71a)이 배치된다. 상기 비트라인 콘택홀(71a)은 비트라인 패드로 채워진다.

<24> 상기 소오스 영역들의 상부에는 콘택 플러그에 의해 채워지는 스토리지 노드 콘택 홀들(75a)이 배치된다. 상기 콘택 플러그들의 각각에는 강유전체 커패시터들(82)이 연결된다. 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부 전극, 강유전체막 패턴 및 상부 전극으로 구성된다. 이에 따라, 상기 하부 전극은 상기 콘택 플러그를 통하여 상기 소오스 영역과 전기적으로 접속된다.

<25> 상기 강유전체 커패시터들(82)의 상부 전극은 적어도 한개의 플레이트 라인에 접속한다. 바람직하게는, 상기 플레이트 라인은 서로 이웃하는 적어도 2개의 행들 상에 배열된 상기 강유전체 커패시터들(82)에 연결된다. 상기 플레이트 라인들 사이에는, 상기 게이트 전극들(57)에 접속하는 주 워드라인(91)이 배치된다.

<26> 도 5 내지 도 10은 도 4의 I-I'에 따라 보여지는, 본 발명의 바람직한 실시예에 따른 강유전체 메모리 소자의 제조 방법을 나타내는 공정단면도들이다.

<27> 도 5를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 복수개의 활성영역들(53a)을 한정한다. 상기 활성영역들을 갖는 반도체기판의 전면에 게이트 절연막, 게이트 도전막 및 캐핑 절연막을 차례로 형성한다. 상기 캐핑 절연막, 게이트 도전막 및 게이트 절연막을 연속적으로 패터닝하여 상기 활성영역들 및 소자분리막(53)의 상부를 가로지르는 복수개의 평행한 게이트 패턴들(60)을 형성한다. 상기 게이트 패턴들(60)의 각각은 차례로 적층된 게이트 절연막 패턴(55), 게이트 전극(57) 및 캐핑 절연막 패턴(59)으로 구성된다. 여기서, 상기 활성영역들의 각각은 상기 한 쌍의 게이트 전극들(57)과 교차한다. 상기 게이트 전극(57)은 워드라인에 해당한다.

<28> 상기 게이트 패턴들(60) 및 상기 소자분리막(53)을 이온주입 마스크들로 사용하여 상기 활성영역들에 불순물 이온들을 주입한다. 그 결과, 상기 각 활성영역에 3개의 불순

물 영역들이 형성된다. 이를 3개의 불순물 영역들 중에서, 가운데의 불순물 영역은 공통 드레인 영역(61d)에 해당하고, 나머지 불순물 영역들은 소오스 영역들(61s)에 해당한다. 이에 따라, 상기 각 활성영역에 한 쌍의 셀 트랜지스터들이 형성된다. 결과적으로, 상기 셀 트랜지스터들은 상기 반도체기판(51)에 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 이어서, 상기 게이트 패턴(60)의 측벽에 통상의 방법을 사용하여 스페이서(63)를 형성한다.

<29> 도 6을 참조하면, 상기 스페이서(63)를 갖는 반도체기판의 전면에 제 1 하부 층간 절연막(65)을 형성한다. 상기 제 1 하부 층간절연막(65)을 패터닝하여 상기 소오스/드레인 영역들(61s, 61d)을 노출시키는 패드 콘택홀을 형성한다. 상기 패드 콘택홀 내에 통상의 방법을 사용하여 스토리지 노드 패드들(67s) 및 비트라인 패드들(67d)을 형성한다. 상기 스토리지 노드 패드들(67s)은 상기 소오스 영역들(61s)과 접속되고, 상기 비트라인 패드들(67d)은 상기 공통 드레인 영역(61d)과 접속된다. 상기 패드들(67s, 67d)을 갖는 반도체기판 전면에 제 2 하부 층간절연막(69)을 형성한다. 상기 제2 하부 층간절연막(69)을 패터닝하여 상기 비트라인 패드들(67d)을 노출시키는 비트라인 콘택홀들(도 4의 71a)을 형성한다. 상기 비트라인 콘택홀들을 덮는 복수개의 평행한 비트라인들(71)을 형성한다. 상기 비트라인들(71)은 상기 워드라인들(57)의 상부를 가로지른다.

<30> 도 7을 참조하면, 상기 비트라인들(71)을 갖는 반도체기판의 전면에 제3 하부 층간 절연막(73)을 형성한다. 상기 제1 내지 제3 하부 층간절연막들(65, 69, 73)은 하부 층간 절연막(74)을 구성한다. 이어서, 상기 제2 및 제3 하부 층간절연막들(69, 73)을 패터닝하여 상기 스토리지 노드 패드들(67s)을 노출시키는 스토리지 노드 콘택홀들(도 4의 75a)을 형성한다. 상기 스토리지 노드 콘택홀은 그 것의 상부 직경을 증가시키기 위하여

습식 식각공정 및 건식 식각공정을 사용하여 형성할 수 있다. 이에 따라, 상기 스토리지 노드 콘택홀의 상부 측벽은 도시된 바와 같이 경사진 프로파일을 가질 수 있다. 이는 후속공정에서 형성되는 하부 전극과 상기 소오스 영역(61s) 사이의 전기적인 저항을 감소시키기 위함이다. 상기 스토리지 노드 콘택홀들 내에 콘택 플러그들(75)을 형성한다.

<31> 도 8을 참조하면, 상기 콘택 플러그들(75) 및 상기 하부 층간절연막(74) 상에 하부 전극막, 강유전체막, 상부 전극막 및 하드마스크막을 차례로 형성한다. 상기 하드마스크막을 패터닝하여, 상기 상부 전극막의 소정영역을 덮는 하드마스크 패턴(83)을 형성한다. 이때, 상기 하드마스크 패턴(83)이 덮는 영역은 상기 콘택 플러그들(75) 상부의 상기 상부 전극막이다. 상기 하드마스크 패턴(83)을 식각 마스크로 사용하여 상기 상부 전극막, 강유전체막 및 하부 전극막을 연속적으로 패터닝함으로써, 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 강유전체 커패시터들(82)을 형성한다. 상기 강유전체 커패시터들(82)의 각각은 차례로 적층된 하부 전극(77), 강유전체막 패턴(79) 및 상부 전극(81)을 포함한다. 상기 하부 전극들(77)은 각각 상기 콘택 플러그들(75)과 접촉한다. 결과적으로, 상기 강유전체 커패시터들(82)은 각각 상기 소오스 영역들(61s)과 전기적으로 접속된다.

<32> 상기 상부 전극(81) 및 상기 하부 전극(77)은 각각 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(0s) 및 이들의 산화물들 중에서 선택된 적어도 한가지 물질인 것이 바람직하다. 또는, 상기 상부 전극(81) 및 상기 하부 전극(77)은 SrRuO_3 , LaNiO_3 , LSCO 및 YBCO 중의 한가지일 수도 있다. 또한, 상기 강유전체막 패턴(79)은 강유전성을 갖는 물질로서, PZT, SBT 및 BLT 중의 한가지로 형성한다. 바람직하게는, 상기 강유전체막 패턴(79)은 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, SrTiO_3 , BaTiO_3 , $(\text{Ba}, \text{Sr})\text{TiO}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$,

(Pb,La)(Zr,Ti)O₃, Bi₄Ti₃O₁₂ 및 (Bi,La)₄Ti₃O₁₂ 중에서 선택된 적어도 한가지 물질이다.

<33> 상기 하드마스크 패턴(83)은 실리콘 산화막에 대해 식각 선택성을 갖는 물질인 것이 바람직하다. 이에 더하여, 상기 하드마스크 패턴(83)은 상기 상부 전극막 및 하부 전극막에 대해서도 식각 선택성을 갖는 물질로 이루어지는 것이 바람직하다. 이에 따라, 상기 하드마스크 패턴(83)은 실리콘 질화막 또는 차례로 적층된 실리콘 질화막 및 티타늄 질화막으로 형성하는 것이 바람직하다.

<34> 상기 강유전체 커패시터들(82)이 형성된 결과물 전면에, 금속간 절연막 (inter-metal dielectric, IMD, 85)을 형성한다. 상기 금속간 절연막(85)은 실리콘 산화막으로 형성하는 것이 바람직하다. 또한, 상기 금속간 절연막(85)을 형성하기 전에, 적어도 상기 강유전체 커패시터(82)의 측벽을 덮는 수소 방지막(hydrogen barrier layer, 84)을 더 형성할 수도 있다. 상기 수소방지막(84)은 티타늄 산화막(TiO₂), 알루미늄 산화막(Al₂O₃), 지르코늄 산화막(ZrO₂) 및 세륨 산화막(CeO₂) 중에서 선택된 적어도 한가지 물질로 형성하는 것이 바람직하다. 상기 수소 방지막(84)은 상기 강유전체막 패턴(79)으로 수소가 침투할 경우 발생하는 강유전체 메모리 소자의 특성 악화를 예방하기 위해 형성한다.

<35> 도 9를 참조하면, 상기 금속간 절연막(85) 및 상기 수소방지막(84)을 평탄화 식각하여, 상기 하드마스크 패턴(83)의 상부면을 노출시키는 금속간 절연막 패턴(85a) 및 수소방지막 패턴(84a)을 형성한다. 이에 따라, 상기 금속간 절연막 패턴(85a)은 상기 강유전체 커패시터들(82)을 둘러싸고, 상기 수소방지막 패턴(84a)은 상기 금속간 절연막 패턴(85a)의 하부면 및 측벽을 덮는다. 상기 평탄화

화 식각은 에치백(etch-back) 기술 또는 화학기계적 연마(chemical mechanical polishing) 기술을 사용하여 실시하는 것이 바람직하다.

<36> 또한, 종래 기술에서 설명한 것처럼, 상기 평탄화 식각 공정에 따른 상기 금속간 절연막 패턴(85a)의 최종 두께는 웨이퍼에서의 위치에 따라 다를 수 있다. 이러한 식각 깊이의 편차에 따른 문제를 예방하는 것이 상기 하드마스크 패턴(83)을 형성하는 한가지 이유이다. 따라서, 상기 하드마스크 패턴(83)은 상기 평탄화 식각 공정에서 상술한 웨이퍼에서의 위치에 따른 두께의 최대 차이보다 두꺼운 것이 바람직하다. 바람직하게는, 상기 평탄화 식각 단계에서 잔존하는 상기 하드마스크 패턴(83)의 두께는 50 내지 200nm이다. 이에 따라, 상기 평탄화 식각 공정은 웨이퍼 전면에서 상기 하드마스크 패턴(83)이 노출되도록 과도식각의 방법으로 실시될 수 있다. 그 결과, 상기 상부 전극(81)을 두껍게 형성하지 않으면서도, 상기 평탄화 식각 공정에서 상기 강유전체막 패턴(79)이 노출되는 것을 예방할 수 있다.

<37> 한편, 상기 하드마스크막은 상기 강유전체 커패시터(82) 형성을 위한 식각 공정에서 리세스된다. 이에 따라, 잔존하는 상기 하드마스크 패턴(83)은 최초 형성되는 상기 하드마스크막의 두께보다 얇아진다. 상기 하드마스크막을 형성하는 단계는 이러한 두께의 리세스를 고려하는 것이 필요하다.

<38> 이후, 상기 노출된 하드마스크 패턴(83)을 선택적으로 제거하여 상기 상부 전극(81)을 노출시킨다. 상기 상부 전극(81)을 노출시키는 단계는 상기 금속간 절연막 패턴(85a), 상기 수소방지막 패턴(84a) 및 상기 상부 전극(81)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 바람직하게는, 상기 하드마스크 패턴(83)을 제거하는 단계는 인산을 포함하는 식각액을 사용하여, 습식 식각의 방법으로 실시한다.

<39> 도 10을 참조하면, 상기 상부 전극(81)이 노출된 반도체기판의 전면에 하부 플레이트막을 형성한다. 상기 하부 플레이트막을 패터닝하여 상기 워드라인들(57)과 평행한 복수개의 국부 플레이트 라인들(local plate lines; 87, 도 4의 PL)을 형성한다. 다시 말해서, 상기 복수개의 국부 플레이트 라인들(87)은 행 방향(도 4의 y축)과 평행하다. 상기 국부 플레이트 라인들(87)의 각각은 서로 이웃하는 2개의 행들을 따라 배열된 복수개의 상부 전극들(81)과 직접적으로 접촉한다. 또한, 상기 국부 플레이트 라인들(87)은 상기 금속간 절연막 패턴(85a)의 상부면을 덮는다. 상기 하부 플레이트막은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 팔라듐(Pd) 및 이들의 산화물 중에서 선택된 적어도 한가지 물질일 수도 있다.

<40> 상기 국부 플레이트 라인들(87)을 갖는 반도체기판의 전면에 상부 층간절연막을 형성한다. 상기 상부 층간절연막은 제1 및 제2 상부 층간절연막들(89, 93)을 차례로 적층시키어 형성한다. 상기 제2 상부 층간절연막(93)을 형성하기 전에, 상기 제1 상부 층간절연막(89) 상에 복수개의 평행한 주 워드라인들(91)을 형성할 수도 있다. 통상적으로, 하나의 주 워드라인(91)은 디코더를 통하여 4개의 워드라인들(57)을 제어한다.

<41> 상기 상부 층간절연막을 패터닝하여 상기 국부 플레이트 라인(87)을 노출시키는 슬릿형 비아홀(95)을 형성한다. 상기 슬릿형 비아홀(95)은 상기 주 워드라인들(91) 사이에 형성되고 상기 주 워드라인들(91)과 평행하다. 상기 슬릿형 비아홀(95)이 형성된 결과 물의 전면에 금속막과 같은 상부 플레이트막을 형성한 후, 이를 패터닝하여 상기 슬릿형 비아홀(95)을 덮는 주 플레이트 라인(main plate line; 97)을 형성한다. 이때, 상기 국부 플레이트 라인(87) 및 상기 주 플레이트 라인(97)은 플레이트 라인을 구성한다. 그러

나, 상기 플레이트 라인은 국부 플레이트 라인 또는 주 플레이트 라인만으로 구성될 수도 있다.

【발명의 효과】

<42> 본 발명에 따르면, 강유전체 커패시터를 형성하기 위한 식각 마스크로써, 충분한 두께의 하드마스크 패턴을 사용한다. 이에 따라, 강유전체 커패시터의 상부 전극을 두껍게 형성하지 않을지라도, 금속간 절연막을 평탄화하는 단계에서 강유전체막 패턴이 노출되는 것을 예방할 수 있다. 그 결과, 강유전체 커패시터의 두께를 감소시킬 수 있으며, 나아가 우수한 특성을 갖는 강유전성 메모리 소자를 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 하부 층간절연막을 형성하는 단계;

상기 하부 층간절연막 상에, 차례로 적층된 강유전체 커패시터 및 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴을 포함하는 반도체기판의 전면을 덮는 금속간 절연막을 형성하는 단계;

상기 금속간 절연막을 평탄화 식각하여 상기 하드마스크 패턴을 노출시키는 단계;

상기 노출된 하드마스크 패턴을 선택적으로 제거하여 상기 강유전체 커패시터의 상부면을 노출시키는 단계; 및

상기 강유전체 커패시터의 상부면에 접촉하는 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 하드마스크 패턴은 상기 금속간 절연막에 대해 식각 선택성을 갖는 물질로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 하드마스크 패턴은 실리콘 질화막 또는 차례로 적층된 실리콘 질화막 및 티타늄 질화막으로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 강유전체 커패시터 및 상기 하드마스크 패턴을 형성하는 단계는

상기 하부 층간절연막 상에 하부 전극막, 강유전체막, 상부 전극막 및 하드마스크 막을 차례로 형성하는 단계;

상기 하드마스크막을 패터닝하여 하드마스크 패턴을 형성하는 단계; 및

상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 상부 전극막, 강유전체막 및 하부 전극막을 차례로 패터닝함으로써, 차례로 적층된 하부 전극, 강유전체막 패턴 및 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 5】

제 4 항에 있어서,

상기 하부 전극막 및 상기 상부 전극막은 루세늄(Ru), 백금(Pt), 이리듐(Ir), 로듐(Rh), 오스뮴(Os) 및 이들의 산화물들 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 6】

제 4 항에 있어서,

상기 강유전체막은 PZT, SBT 및 BLT 중의 적어도 한가지로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 금속간 절연막을 평탄화 식각하는 단계는 화학기계적 연마 기술 및 에치백 기술 중의 한가지를 사용하여 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 하드마스크 패턴을 선택적으로 제거하는 단계는 상기 금속간 절연막 및 상기 강유전체 커패시터에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 9】

제 1 항에 있어서,

상기 하드마스크 패턴을 선택적으로 제거하는 단계는 인산을 포함하는 식각액을 사용하여 실시하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 하드마스크 패턴은 50 내지 200nm의 두께로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 11】

제 1 항에 있어서,

상기 하드마스크 패턴의 두께는 상기 평탄화 식각 공정에서 발생하는 식각 두께의 최대 편차보다 큰 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 12】

제 1 항에 있어서,

상기 금속간 절연막은 실리콘 산화막으로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

【청구항 13】

제 1 항에 있어서,

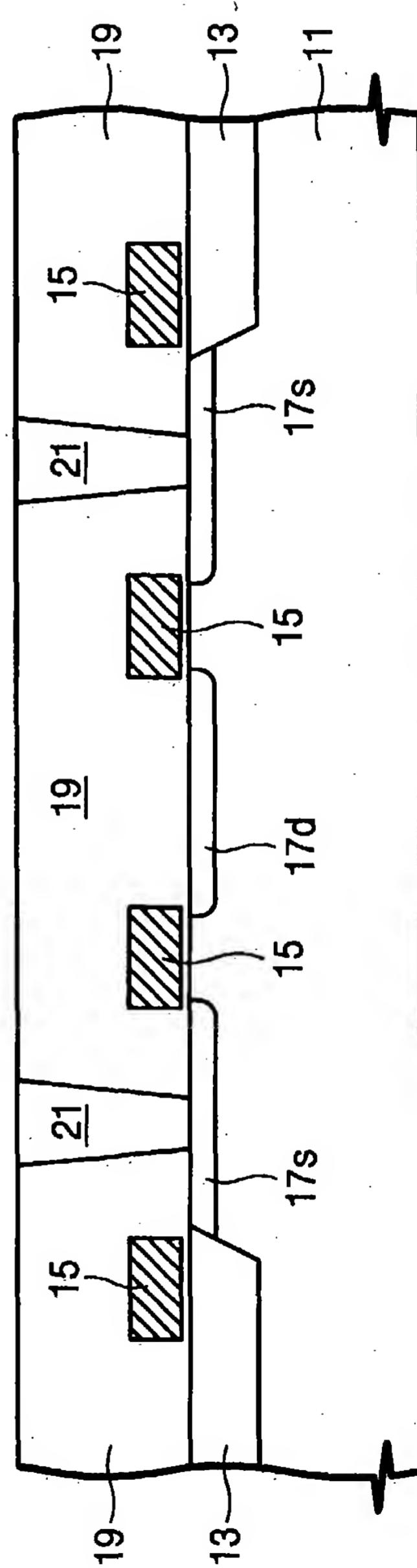
상기 금속간 절연막을 형성하기 전에, 적어도 상기 강유전체 커페시터의 측벽을 덮는 수소방지막을 형성하는 단계를 더 포함하는 강유전체 메모리 소자의 제조 방법.

【청구항 14】

제 13 항에 있어서,

상기 수소방지막은 티타늄 산화막(TiO_2), 알루미늄 산화막(Al_2O_3), 지르코늄 산화막(ZrO_2) 및 세륨 산화막(CeO_2) 중에서 선택된 적어도 한가지 물질로 형성하는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

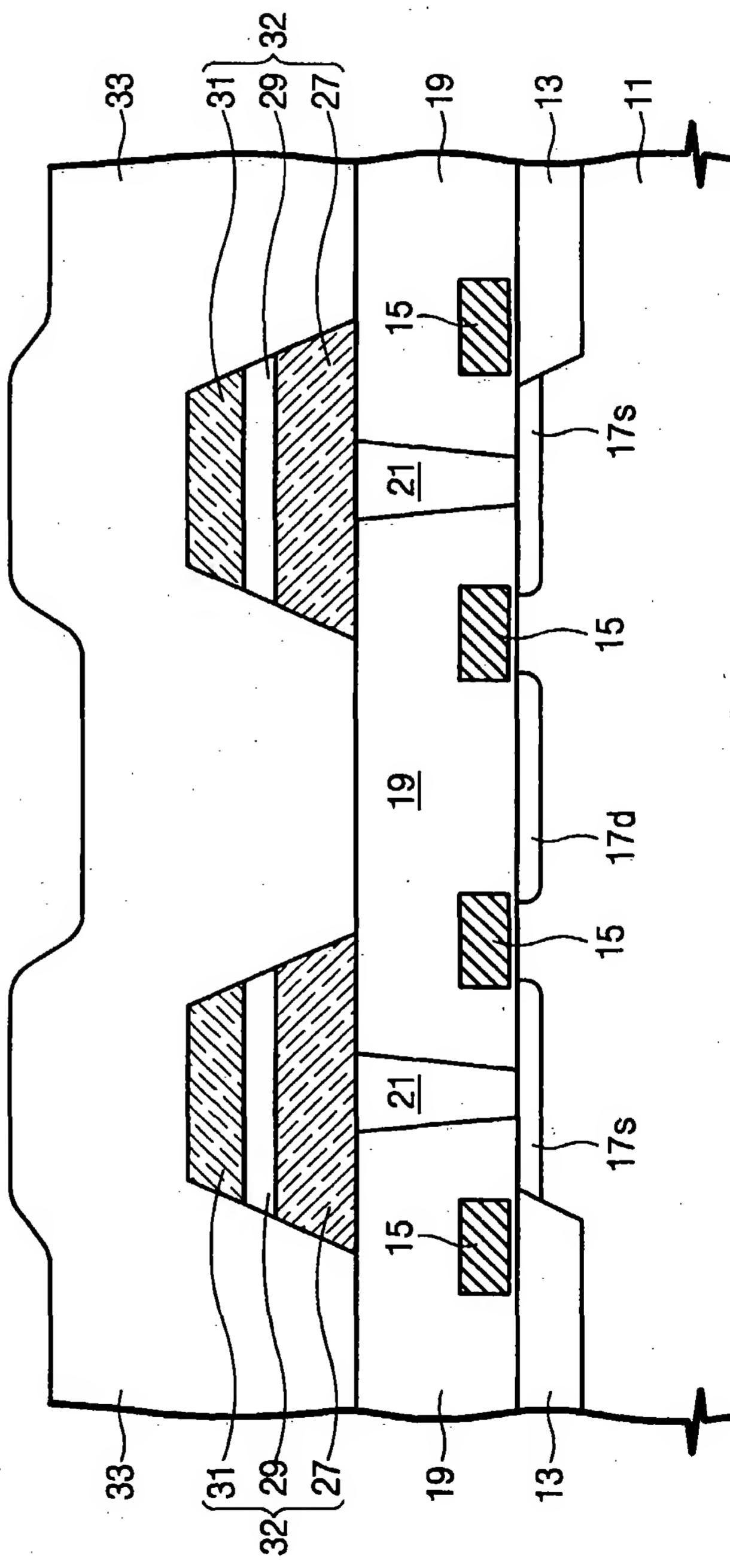
(종래 기술)



【E 1】

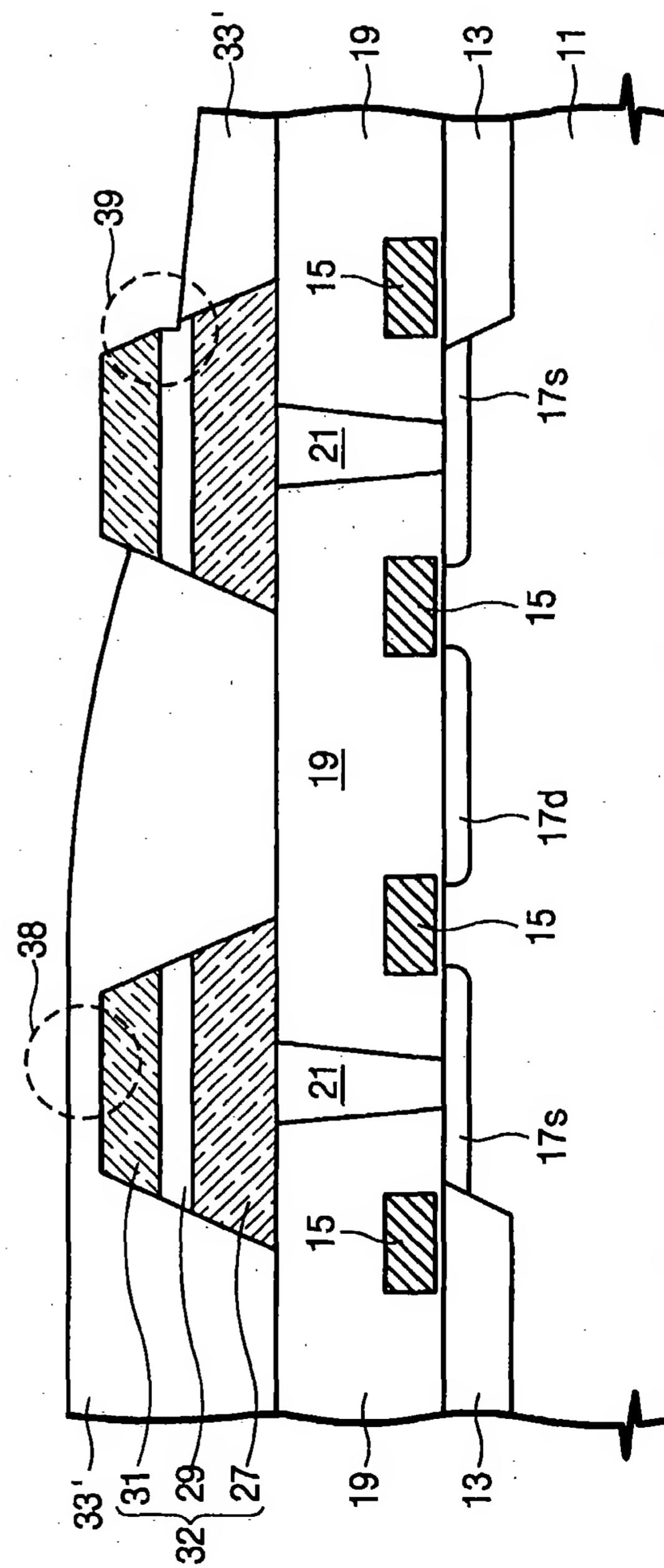
【E 2】

(종래 기술)

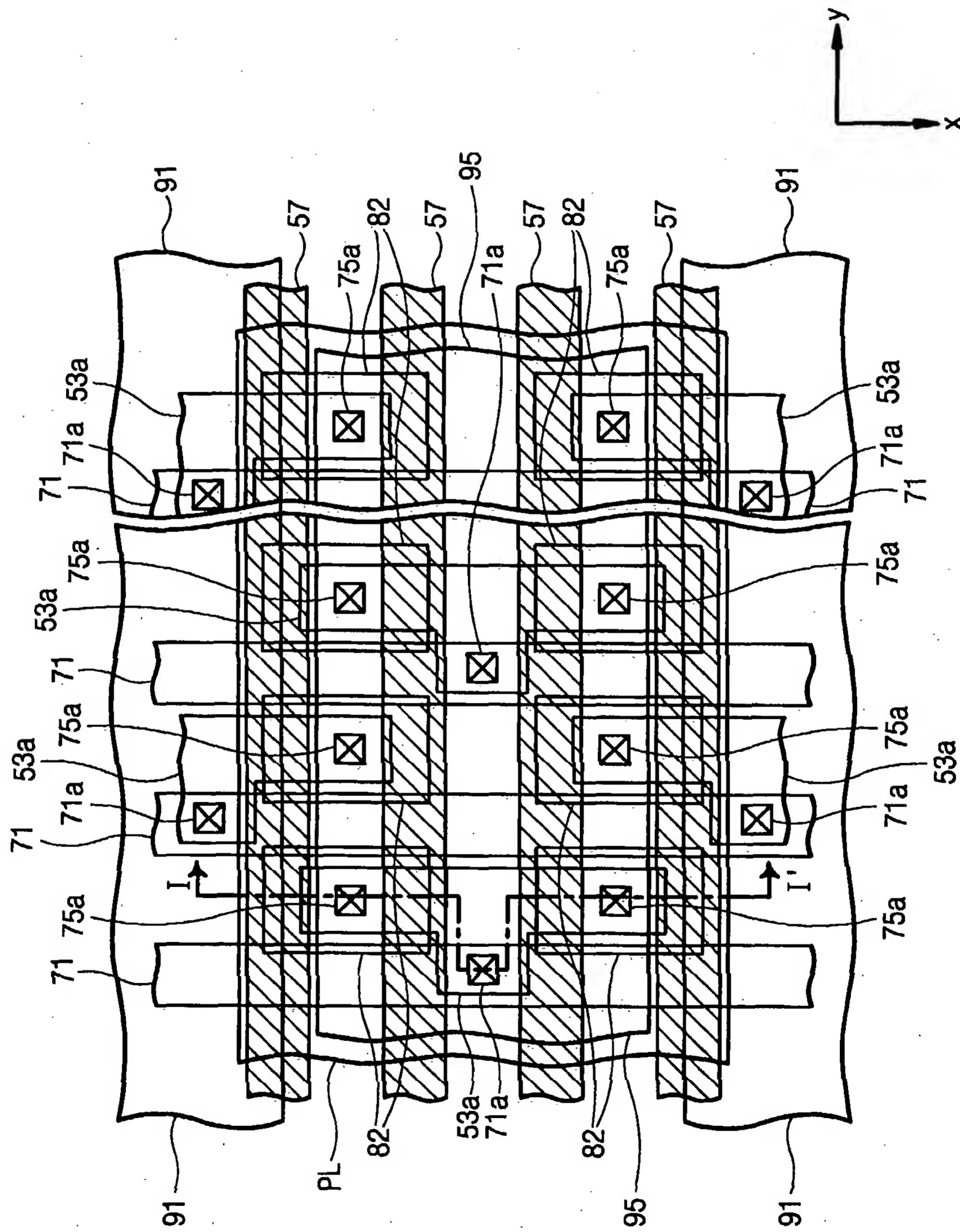


〔五二〕

(종래 기술)

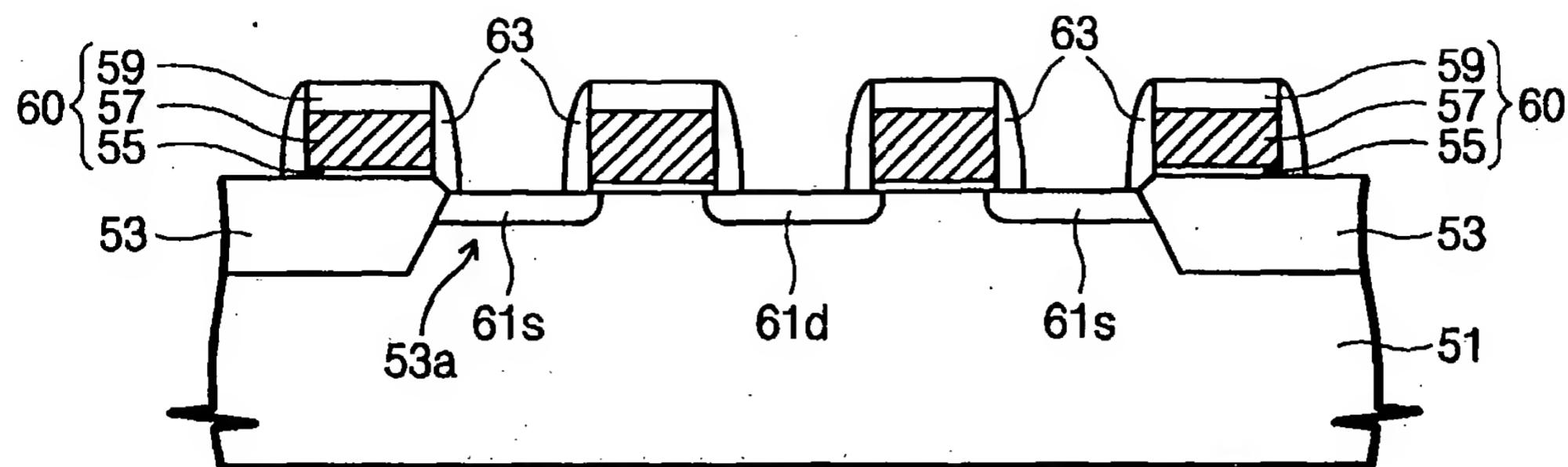


[H 3]

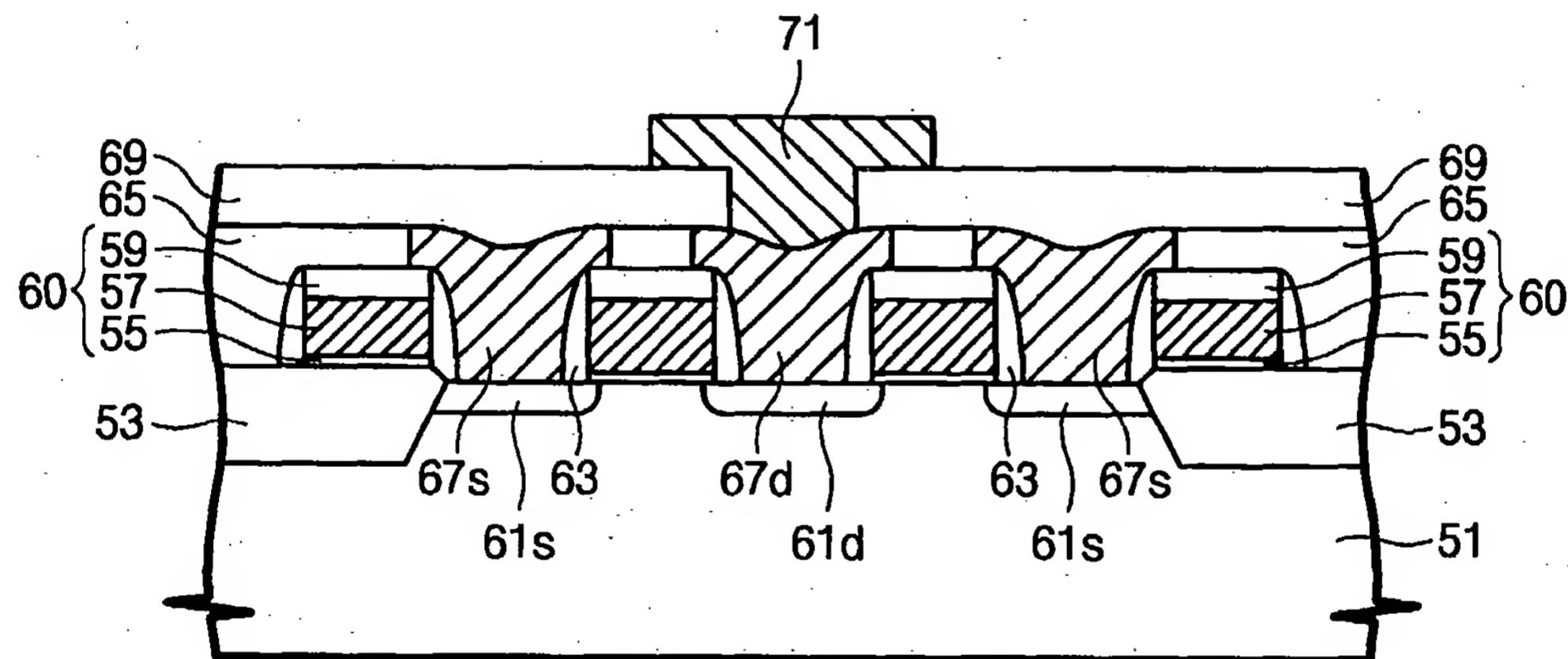


[H 4]

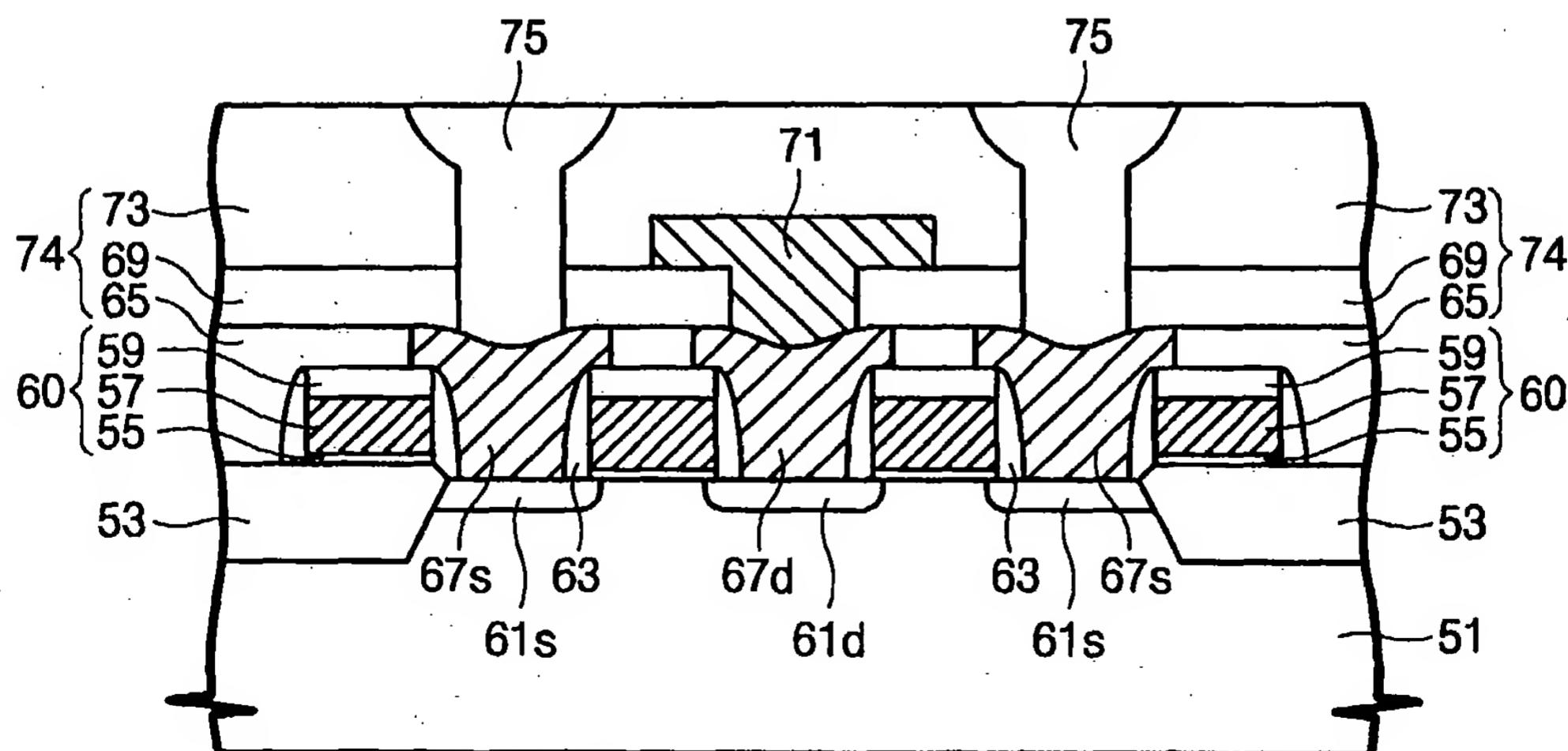
【도 5】



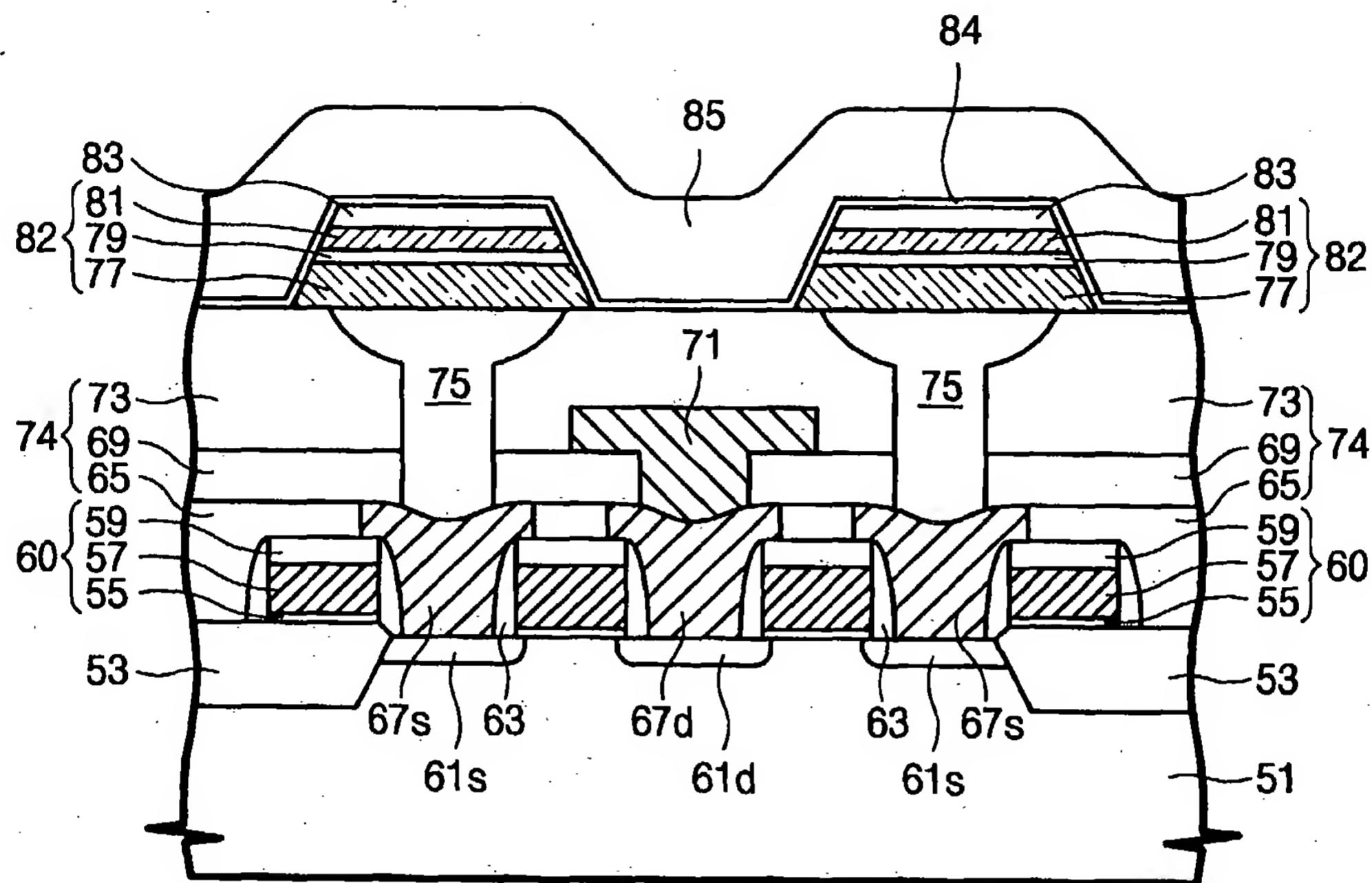
【도 6】



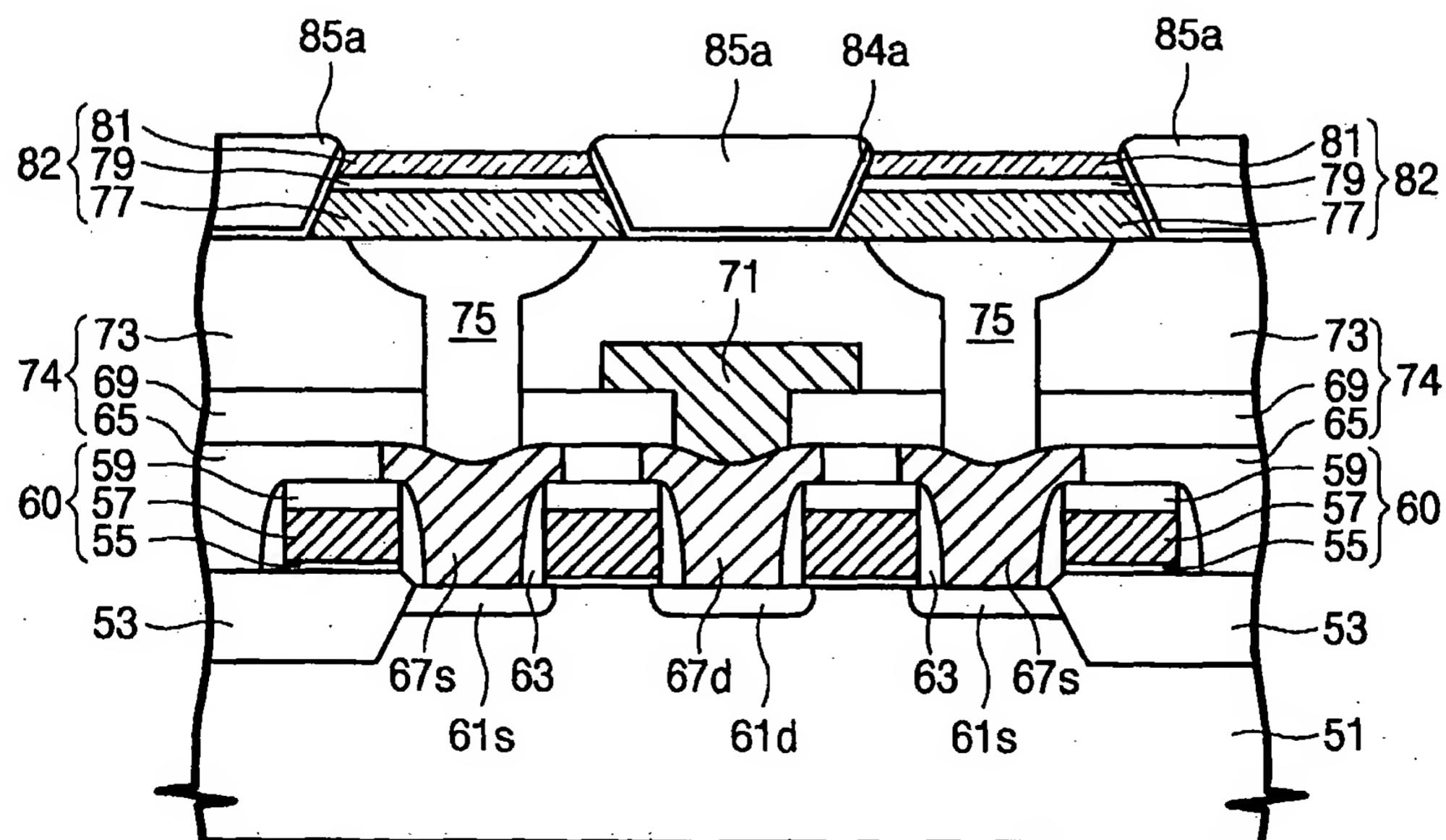
【도 7】



【도 8】



【도 9】



【도 10】

